



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08321774

(43)Date of publication of application: 03.12.1996

(51)Int.Cl.

H03L 7/18
H03L 7/093

(21)Application number: 07126083

(22)Date of filing: 25.05.1995

(71)Applicant:

FUJITSU LTD

(72)Inventor:

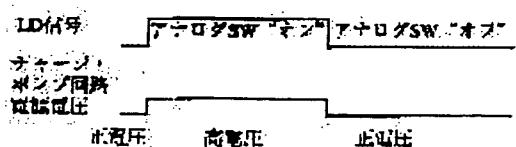
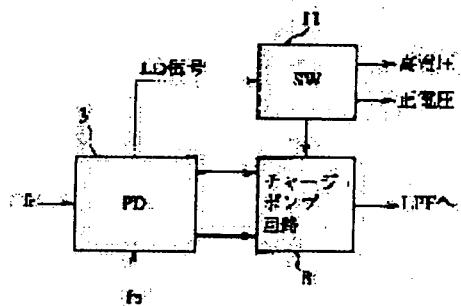
WATANABE YASUNOBU

(54) PHASE SYNCHRONOUS FREQUENCY SYNTHESIZER

(57)Abstract:

PURPOSE: To obtain the phase synchronous frequency synthesizer in which a frequency switching time is short with respect to the frequency synthesizer.

CONSTITUTION: In the phase synchronous frequency synthesizer, an oscillating frequency of a voltage controlled oscillator 4 is controlled by a control voltage obtained by applying a phase comparison error signal resulting from phase comparison between an output signal f_r of a reference oscillator 1 and a signal f_p being a frequency-division of an output signal f_{out} of the voltage controlled oscillator 4 at a phase comparator 3 to a charge pump circuit 8. Then the frequency of the output signal f_{out} is switched by varying a frequency division ratio. In this case, a switch 11 to apply a power supply voltage to the charge pump circuit 8 is provided and the switch 11 is controlled in response to an output timing of a phase comparison error signal in the frequency switching to supply a voltage higher than a usual voltage as a power supply voltage for the charge pump circuit 8 to reduce the frequency switching time.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-321774

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl.
H 03 L 7/18
7/093

識別記号 庁内整理番号
F I
H 03 L 7/18
7/08

技術表示箇所
Z
E

審査請求 未請求 請求項の数 6 O.L. (全 9 頁)

(21)出願番号 特願平7-126083

(22)出願日 平成7年(1995)5月25日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 渡邊 保信

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

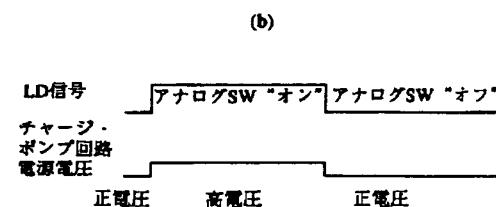
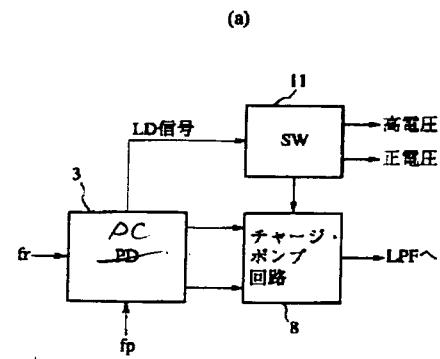
(54)【発明の名称】 位相同期式周波数シンセサイザ

(57)【要約】

【目的】周波数シンセサイザに関し、周波数切り換え時間が短い、位相同期式周波数シンセサイザを提供することを目的とする。

【構成】位相同期式周波数シンセサイザにおいては、基準発振器1の出力信号 f_r と、電圧制御発振器4の出力信号 f_{out} を分周した信号 f_p とを、位相比較器3によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路8に加えて得た制御電圧によって、電圧制御発振器4の発振周波数を制御するとともに、分周比を変化させることによって出力信号 f_{out} の周波数を切り換える。この場合に、チャージ・ポンプ回路8に電源電圧を供給するスイッチ11を設け、周波数切り換え時における、位相比較誤差信号の出力タイミングに応じてスイッチ11を制御して、チャージ・ポンプ回路8の電源電圧として、通常の電圧よりも高い電圧を供給することによって、周波数切り換え時間を短縮する。

本発明の実施例(1)を示す図



【特許請求の範囲】

【請求項1】 基準発振器の出力信号と、電圧制御発振器の出力信号を分周した信号とを、位相比較器によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路に加えて得た制御電圧によって、前記電圧制御発振器の発振周波数を制御するとともに、前記分周比を変化させることによって前記出力信号の周波数を切り換える位相同期式周波数シンセサイザにおいて、前記チャージ・ポンプ回路に電源電圧を供給するスイッチを設け、周波数切り換え時における前記位相比較誤差信号の出力タイミングに応じて該スイッチを制御して、前記チャージ・ポンプ回路の電源電圧として、通常の電圧よりも高い電圧を供給するようにしたことを特徴とする位相同期式周波数シンセサイザ。

【請求項2】 基準発振器の出力信号と、電圧制御発振器の出力信号を分周した信号とを、位相比較器によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路に加えて得た制御電圧によって、前記電圧制御発振器の発振周波数を制御するとともに、前記分周比を変化させることによって前記出力信号の周波数を切り換える位相同期式周波数シンセサイザにおいて、前記チャージ・ポンプ回路にグランド電位を供給するスイッチを設け、周波数切り換え時における前記位相比較誤差信号の出力タイミングに応じて該スイッチを制御して、前記チャージ・ポンプ回路のグランド電位として、通常の電位よりも低い電位を供給するようにしたことを特徴とする位相同期式周波数シンセサイザ。

【請求項3】 基準発振器の出力信号と、電圧制御発振器の出力信号を分周した信号とを、位相比較器によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路に加えて得た制御電圧によって、前記電圧制御発振器の発振周波数を制御するとともに、前記分周比を変化させることによって前記出力信号の周波数を切り換える位相同期式周波数シンセサイザにおいて、前記チャージ・ポンプ回路に、電源電圧を供給する第1のスイッチとグランド電位を供給する第2のスイッチとを設け、周波数を高い方に切り換えるときは、周波数切り換え時における前記位相比較誤差信号の出力タイミングに応じて該第1のスイッチを制御して、前記チャージ・ポンプ回路の電源電圧として、通常の電圧よりも高い電圧を供給し、周波数を低い方に切り換えるときは、周波数切り換え時における前記位相比較誤差信号の出力タイミングに応じて該第2のスイッチを制御して、前記チャージ・ポンプ回路のグランド電位として、通常の電位よりも低い電位を供給するようにしたことを特徴とする位相同期式周波数シンセサイザ。

【請求項4】 基準発振器の出力信号と、電圧制御発振器の出力信号を分周した信号とを、位相比較器によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路に加えて得た制御電圧によって、前記電圧制

御発振器の発振周波数を制御するとともに、前記分周比を変化させることによって前記出力信号の周波数を切り換える位相同期式周波数シンセサイザにおいて、前記チャージ・ポンプ回路に電源電圧を供給するDC-DCコンバータ回路を設け、周波数切り換え時における前記位相比較誤差信号の出力タイミングに応じて該DC-DCコンバータ回路を動作させて、前記チャージ・ポンプ回路の電源電圧として、該DC-DCコンバータ回路の不動作時の電圧より高い電圧を供給するようにしたことを特徴とする位相同期式周波数シンセサイザ。

【請求項5】 基準発振器の出力信号と、電圧制御発振器の出力信号を分周した信号とを、位相比較器によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路に加えて得た制御電圧によって、前記電圧制御発振器の発振周波数を制御するとともに、前記分周比を変化させることによって前記出力信号の周波数を切り換える位相同期式周波数シンセサイザにおいて、前記チャージ・ポンプ回路にグランド電位を供給するDC-DCコンバータを設け、周波数切り換え時における前記位相比較誤差信号の出力タイミングに応じて該DC-DCコンバータを動作させて、前記チャージ・ポンプ回路のグランド電位として、該DC-DCコンバータ回路の不動作時の電位より低い電位を供給するようにしたことを特徴とする位相同期式周波数シンセサイザ。

【請求項6】 請求項1から5までのうちいずれかに記載の位相同期式周波数シンセサイザにおいて、前記位相比較器における位相比較結果の位相誤差パルスをローパス特性を有するフィルタで積分し、該積分結果の出力を振幅一定の信号に変換することによって、前記位相比較誤差信号を生成することを特徴とする位相同期式周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、周波数シンセサイザに関するものである。

【0002】 周波数シンセサイザは、分周比を変えることによって、基準周波数間隔の、所望周波数の出力信号 f_{out} を得ることができるものであって、自動車電話、パーソナル無線、コードレス電話等の、可変送受信周波数の無線機や、電子同調式ラジオ等の電子機器の局部発振器として広く用いられている。

【0003】 電子機器に用いられる周波数シンセサイザにおいては、出力周波数の切り換えに要する時間が、なるべく短いことが、要求されている。

【0004】

【従来の技術】 図8は、従来の周波数シンセサイザの構成例を示したものであって、パルス・スワロー方式の周波数シンセサイザを示している。この周波数シンセサイザにおいては、基準発振器1の出力信号の周波数 f_{ref}

を、分周器2によって $1/M$ に分周して得た基準周波数 f_r の信号を、位相比較器(PD)3の一方の入力に加える。また、高周波帯の電圧制御発振器(VCO)4の出力信号の周波数を、プリスケーラ5で $1/P$ または $1/(P+1)$ に分周するとともに、分周した信号を可変分周器6で $1/A$ に分周した信号で、 $1/P$ と $1/(P+1)$ の分周比を交互に切り換える。

【0005】さらにプリスケーラ5の出力信号を可変分周器7で $1/N$ に分周した分周信号 f_p を、PD3の他方の入力に加えて、基準周波数 f_r の信号と位相比較する。位相比較結果のパルス信号は、チャージ・ポンプ回路(CP)8によって直流電圧に変換され、抵抗とコンデンサとからなる、低域通過特性のループ・フィルタ(LPF)9によって時間積分されて、積分電圧が出力される。LPF9の積分電圧出力は、VCO4に制御電圧として与えられて、その発振周波数を変化させることによって、分周出力 f_p の位相を変化させる。

【0006】このような動作を繰り返して、位相比較器3の出力する位相誤差がなくなるまで、ループ制御が行なわれる。このときのVCO4の出力信号 f_{out} が、局部発振器の出力となる。制御回路10は、この際、各分周器6, 7の分周比を変化させることによって、周波数シンセサイザから所望の出力周波数を発生するように制御を行なう。

【0007】

【発明が解決しようとする課題】周波数シンセサイザの周波数切り換え時間(ロック・アップ・タイム)は、位相比較器の位相誤差 $\phi(t)$ がゼロになるまでに必要な時間によって定まる。この場合、位相誤差 $\phi(t)$ は振

$$K = (K_{PD} \cdot K_V) / N_T$$

【0011】固有角周波数 ω_n は、LPFにラグリード

$$\omega_n = [K / (\tau_1 + \tau_2)]^{1/2}$$

なお、上式において、 τ_1, τ_2 は、フィルタ中に含まれるCR回路の時定数である。

$$\omega_n = [K / \tau_1]^{1/2}$$

なお、上式において、 τ_1 は、フィルタ中に含まれるCR回路の時定数である。

【0013】ループ・ゲインKを大きくするためには、(2)式の関係から、 $K_{PD} \cdot K_V$ を大きくするか、または N_T を小さくすればよい。しかしながら、実現性を考えた場合には、 N_T すなわちプログラマブル・デバイダの分周比は、システム設計で決定しているので、変更することは不可能である。また、VCO感度 K_V を大きく

$$K_{PD} = (PDL) / 4\pi$$

【0015】位相比較器感度 K_{PD} を大きくするためにには、電源電圧を高くすればよいが、実際のシステムの傾向としては、乾電池動作のため、低消費電力化を目的として、電源電圧を低くする方向にあって、電源電圧を高くすることはできない。また、高電圧で位相比較器を駆動すると、不要波(スブリアス)が増加するため、不要

動しながら次第にゼロになる。図9は、PLLのステップ応答特性を示したものであって、横軸に $\omega_n(t)$ (ω_n は固有角周波数、tは周波数切り換え時間)をとったときの位相誤差 $\phi(t)$ を示したものである。

【0008】LPFにアクティブ・フィルタを用いた場合、周波数がステップ状に $\Delta\omega$ 変化したときのステップ応答は、次式によって示される。

【数1】

$$10 \quad \left. \begin{aligned} \phi(t) &= \frac{\Delta\omega}{\omega_n} \left[\frac{1}{A} \sin A\omega_n t \right] e^{-B} \\ A &= \sqrt{1-\zeta^2} \\ B &= -\zeta \omega_n t \end{aligned} \right\} \cdots (1)$$

上式から、 ω_n (固有角周波数)が大きければ、t(周波数切り換え時間)は短くなる。

【0009】図10は、PLLの特性解析のための基本ブロックを示す図であって、図中、101は位相比較器(PD)、102はループ・フィルタ(LPF)、103は電圧制御発振器(VCO)、104はプログラマブル・デバイダである。また、 $\theta_r(s)$ は基準入力信号、 $\theta_0(s)$ は位相出力信号、 $1/N_T$ はプログラマブル・デバイダ104の分周比、 K_{PD} は位相比較器101の利得(感度)定数、 $K(s)$ はLPF102の伝達関数、 K_V はVCO103の利得(感度)定数である。

【0010】図10に示された基本ブロックから、固有角周波数 ω_n を大きくするためには、PLLのループ・ゲインKを大きくする必要がある。ここで、ループ・ゲインKは、次式によって表される。

$$\cdots (2)$$

・フィルタを用いた場合は、次のようにになる。

$$\cdots (3)$$

【0012】また、固有角周波数 ω_n は、LPFにアクティブ・フィルタを用いた場合は、次のようにになる。

$$\cdots (4)$$

することは、全体のS/N, C/N(雑音)に関係してくるため、困難である。また、 K_V を大きくすることが可能としても、VCOの新規開発には膨大な費用がかかるので、好ましくない。

40 【0014】一方、位相比較器感度 K_{PD} は、位相比較器の出力におけるハイ(H)レベルを PDH 、ロー(L)レベルを PDL とすると、次式によって表される。

$$\cdots (5)$$

波を減衰させるフィルタが必要となって、ループ特性(周波数切り換え時間)に悪影響を生じる。

【0016】そこで、周波数シンセサイザの高速化手段として、ループ・ゲインとは無関係にPLLの動作を強制的に変えるように、D/Aコンバータを使用して、VCOのコントロール電圧に一定電圧を供給する方法が多

く用いられていた。この方法では、PLLの動作に不都合を生じるため、供給する一定電圧の精度を上げたり、またはA/Dコンバータを用いてフィード・バックして、電圧を監視する方法が考えられていた。そのため、装置が複雑化し、設備が大きくなつて小型化が難しいとされていた。

【0017】本発明は、このような従来技術の課題を解決しようとするものであつて、位相同期式周波数シンセサイザにおいて、周波数切り換え時の位相比較器感度 K_{PD} を大きくすることによって、小規模かつ小型の回路で、周波数切り換え動作の高速化を実現可能にすることを目的としている。

【0018】

【課題を解決するための手段】

(1) 基準発振器1の出力信号 f_r と、電圧制御発振器4の出力信号 f_{out} を分周した信号 f_p とを、位相比較器3によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路8に加えて得た制御電圧によって、電圧制御発振器4の発振周波数を制御するとともに、分周比を変化させることによって出力信号 f_{out} の周波数を切り換える位相同期式周波数シンセサイザにおいて、チャージ・ポンプ回路8に電源電圧を供給するスイッチ11を設け、周波数切り換え時における、位相比較誤差信号の出力タイミングに応じてスイッチ11を制御して、チャージ・ポンプ回路8の電源電圧として、通常の電圧よりも高い電圧を供給する。

【0019】(2) 基準発振器1の出力信号 f_r と、電圧制御発振器4の出力信号 f_{out} を分周した信号 f_p とを、位相比較器3によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路8に加えて得た制御電圧によって、電圧制御発振器4の発振周波数を制御するとともに、分周比を変化させることによって出力信号 f_{out} の周波数を切り換える位相同期式周波数シンセサイザにおいて、チャージ・ポンプ回路8にグランド電位を供給するスイッチ12を設け、周波数切り換え時における、位相比較誤差信号の出力タイミングに応じてスイッチ12を制御して、チャージ・ポンプ回路8のグランド電位として、通常の電圧より低い電圧を供給する。

【0020】(3) 基準発振器1の出力信号 f_r と、電圧制御発振器4の出力信号 f_{out} を分周した信号 f_p とを、位相比較器3によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路8に加えて得た制御電圧によって、電圧制御発振器4の発振周波数を制御するとともに、分周比を変化させることによって出力信号 f_{out} の周波数を切り換える位相同期式周波数シンセサイザにおいて、チャージ・ポンプ回路8に、電源電圧を供給する第1のスイッチ11とグランド電位を供給する第2のスイッチ12を設け、周波数を高い方に切り換えるときは、周波数切り換え時における位相比較誤差信号の出力タイミングに応じて第1のスイッチ11を制

御して、チャージ・ポンプ回路8の電源電圧として、通常の電圧よりも高い電圧を供給し、周波数を低い方に切り換えるときは、周波数切り換え時における位相比較誤差信号の出力タイミングに応じて第2のスイッチ12を制御して、チャージ・ポンプ回路8のグランド電位として、通常の電圧より低い電圧を供給する。

【0021】(4) 基準発振器1の出力信号 f_r と、電圧制御発振器4の出力信号 f_{out} を分周した信号 f_p とを、位相比較器3によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路8に加えて得た制御電圧によって、電圧制御発振器4の発振周波数を制御するとともに、分周比を変化させることによって出力信号 f_{out} の周波数を切り換える位相同期式周波数シンセサイザにおいて、チャージ・ポンプ回路8に電源電圧を供給するDC-DCコンバータ回路15を設け、周波数切り換え時における位相比較誤差信号の出力タイミングに応じてDC-DCコンバータ回路15を動作させて、チャージ・ポンプ回路8の電源電圧として、DC-DCコンバータ回路15の不動作時の電圧より高い電圧を供給する。

【0022】(5) 基準発振器1の出力信号 f_r と、電圧制御発振器4の出力信号 f_{out} を分周した信号 f_p とを、位相比較器3によって位相比較して得られた位相比較誤差信号を、チャージ・ポンプ回路8に加えて得た制御電圧によって、電圧制御発振器4の発振周波数を制御するとともに、分周比を変化させることによって出力信号 f_{out} の周波数を切り換える位相同期式周波数シンセサイザにおいて、チャージ・ポンプ回路8にグランド電位を供給するDC-DCコンバータ24を設け、周波数切り換え時における位相比較誤差信号の出力タイミングに応じてDC-DCコンバータ24を動作させて、チャージ・ポンプ回路8のグランド電位として、DC-DCコンバータ回路24の不動作時の電圧より低い電圧を供給する。

【0023】(6) (1)から(5)までのうちいずれかの場合に、位相比較器3における位相比較結果の位相誤差パルスをローパス特性を有するフィルタで積分し、この積分結果の出力を振幅一定の信号に変換することによって、位相比較誤差信号を生成する。

【0024】

【作用】位相同期式周波数シンセサイザにおいては、周波数切り換え時に、位相比較器出力信号を直流電圧に変換するチャージ・ポンプ回路の電源電圧を上げるか、またはグランド電圧を負電位にすることによって、一時的に位相比較器感度 K_{PD} が大きくなるので、周波数シンセサイザの出力周波数切り換え時間を短縮することができる。

【0025】この際の電源電圧の可変方法としては、外部から一時的に電源電圧を供給し、位相比較誤差信号を基に、アナログスイッチ等によって電圧を切り換える方

法をとることができる。

【0026】または、DC-DCコンバータ等を用い、位相比較誤差信号を用いてクロック信号のオン/オフ制御を行なって、電源電圧を昇圧し、または負電圧を内部で発生させることによって、チャージ・ポンプ回路の電源電圧を制御する方法をとることもできる。

【0027】

【実施例】図1は、本発明の実施例(1)を示したものであって、チャージ・ポンプ回路の電源電圧を高電圧に変化させる場合の実施例を示している。図8の場合と同じものを同じ番号で示し、11はアナログスイッチ回路等からなるスイッチ(SW)である。図中、(a)は回路構成例を示し、(b)は各部電圧を示すタイムチャートである。

【0028】チャージ・ポンプ8は、常時は、電源供給側に挿入されたスイッチ11を経て、通常の電源電圧(正電圧)を供給されている。位相比較器3は、基準周波数 f_p の信号と、分周信号 f_p とを加えられることによって、周波数切り換え時に、位相比較誤差信号(LD信号)がハイ(H)レベルになるが、スイッチ11は、LD信号のHレベルに応じて、チャージ・ポンプ回路8の電源電圧を、高電圧に切り換える。ここで、位相比較誤差信号(LD信号)は、位相比較結果の位相誤差パルスの発生期間に対応して、位相比較器3から出力される振幅一定の信号である。

【0029】これによって、PLL全体としては、通常時と変わらない動作を繰り返しているが、チャージ・ポンプ回路8の電源電圧が上がるので、位相比較器感度が上がって、迅速に、位相比較誤差が小さくなり、またはゼロに近づいて、LD信号がロー(L)レベルに切り換えられる。LD信号がLレベルになったとき、スイッチ11は再び正電圧側に切り換えられて、チャージ・ポンプ回路8は通常の動作状態に戻る。

【0030】図1に示された実施例によれば、閉ループ状態のままで、位相比較感度を向上させることによって、周波数シンセサイザの出力周波数切り換え時間を短

$$K_{PD} = [+5 - (-5)] / 4\pi$$

となって、位相比較器感度 K_{PD} が大きくなるので、実施例(1)の場合と同様に、周波数シンセサイザの出力周波数切り換え時間を短縮することができる。

【0036】図4は、本発明の実施例(4)を示したものであって、チャージ・ポンプ回路の電源電圧として高電圧と負電圧とを使用する場合の実施例を示し、図1および図3の場合と同じものを同じ番号で示している。図中、(a)は回路構成例を示し、(b)は各部電圧を示すタイムチャートである。

【0037】図4に示された実施例では、チャージ・ポンプ回路8の電源電圧として、スイッチ11を経て正電圧と高電圧とを切り替えて供給し、チャージ・ポンプ回路8のグランド電位として、スイッチ12を経てゼロ電

縮して、高速動作を行なうので、PLLのループ動作上からは不都合がなく、スムーズに動作を行なうことができる。さらに、チャージ・ポンプ回路は、周波数切り換え時には高電圧で動作するが、通常時(PLLロック状態)には、正電圧駆動されているので、不要波を発生する恐れはない。

【0031】図2は、本発明の実施例(2)を示したものであって、位相誤差パルスから位相比較誤差信号(LD信号)を生成する回路の実施例を示している。図中において、(a)は回路構成例を示し、(b)は各部電圧を示すタイムチャートである。

【0032】図2において、抵抗R1、コンデンサC1、C2、ダイオードD1からなる回路は、ローパス・フィルタを構成し、位相誤差パルスを積分した信号を出力する。インバータ回路I1は、この積分出力信号を一定レベルのLD信号に変換して出力する。なおインバータ回路の代わりに、ゲート回路を使用してもよい。インバータ回路を使用する場合は、実施例(1)の場合とタイミング関係が逆になるので、インバータ回路I1の後段にさらにインバータ回路を挿入する。

【0033】図3は、本発明の実施例(3)を示したものであって、チャージ・ポンプ回路のグランド電位として負電圧を使用する場合の実施例を示している。図8の場合と同じものを同じ番号で示し、12はアナログスイッチ回路等からなるスイッチ(SW)である。

【0034】位相比較器3とチャージ・ポンプ回路8の動作は、実施例(1)の場合と同様である。スイッチ12は、通常時、LD信号のLレベルに応じて、チャージ・ポンプ回路8のグランド電位としてゼロ電位を接続しているが、周波数切り替え時には、LD信号のHレベルに応じて、チャージ・ポンプ回路8のグランド電位を、負電圧に切り換える。

【0035】位相比較器感度 K_{PD} は、前述のように(5)式によって示される。(5)式において、 P_{PD} は、グランド電位がゼロの場合は、通常、0V~0.2Vと考えられるが、グランド電位を-5Vにすれば、

$$\dots (6)$$

位と負電圧とを切り替えて供給するようになっている。

【0038】図5は、チャージ・ポンプ回路の構成例を示したものであって、A、Bはそれぞれスイッチを示している。周波数を高い方に切り換えるときは、位相比較器からの出力に応じてAスイッチのオン状態が長くなり、LPFの積分電圧を上昇させるように動作する。逆に、周波数を低い方に切り換えるときは、位相比較器からの出力に応じてBスイッチのオン状態が長くなり、LPFの積分電圧を低下させるように動作する。

【0039】図4の回路において、周波数を高い方に切り換える場合には、切り換え信号がHレベルとなって、LD信号に応じてアンド回路13から信号が発生して、スイッチ11がオンとなり、高電圧がチャージ・ボ

ンプ回路8に供給されて、LPFの積分電圧をより速く上昇させることができるようになる。この状態では、スイッチ12はオフとなる。

【0040】一方、周波数を低い方に切り換える場合には、切り換え信号がLレベルとなって、LD信号に応じてアンド回路14から信号が発生して、スイッチ12がオンとなり、負電圧がチャージ・ポンプ回路8に供給されて、LPFの積分電圧をより速く降下させることができるようになる。この状態では、スイッチ11はオフとなる。

【0041】PLLの高速動作が終了して、LD信号がLレベルになると、スイッチ11, 12はそれぞれ正電圧側とグランド電位側に切り換えられて、通常の動作を開始する。

【0042】図6は、本発明の実施例(5)を示したものであって、DC-D Cコンバータ回路を用いてチャージ・ポンプ回路に正電圧と高電圧とを供給する場合の実施例を示している。図8の場合と同じものを同じ番号で示し、15はチャージ・ポンプ回路に電源を供給するDC-D Cコンバータ回路である。

【0043】DC-D Cコンバータ回路15において、16はクロック発生回路であって、一定周波数のクロックを発生する。周波数切り換え時には、位相比較器3からのLD信号がHレベルになるので、アンド回路17を経てクロック信号の供給が開始され、インバータ18を経て、コンデンサ22の一端を、クロックに応じて+5Vとゼロ電位とに交互に制御することによって、ダイオード20, 21とコンデンサ22, 23からなる回路を経て、インバータ出力と+5Vを加算した電圧(+10V)が outputされて、チャージ・ポンプ回路8に電源電圧として供給される。位相誤差が小さくなった状態で、LD信号がLレベルになると、クロックの供給が停止されて、チャージ・ポンプ回路8の電源電圧は+5Vに戻る。

【0044】図6の回路によれば、周波数切り換え時には、LD信号がHレベルとなるので、チャージ・ポンプ回路に高電圧が供給されて、高速動作が行なわれる。位相誤差が小さくなつた状態では、LD信号がLレベルとなるので、チャージ・ポンプ回路に正電圧が供給されて、通常のPLL動作が行なわれる。インバータ18は、出力容量を増大するために、2個並列にしてもよい。

【0045】図7は、本発明の実施例(6)を示したものであって、DC-D Cコンバータを用いてチャージ・ポンプ回路に負電圧を供給する場合の実施例を示している。図8の場合と同じものを同じ番号で示し、24はチャージ・ポンプ回路にグランド電位を供給するDC-D Cコンバータ回路である。

【0046】図7の回路においては、周波数切り換え時には、LD信号がHレベルになるので、アンド回路17

10
を経てクロック信号の供給が開始され、インバータ18を経て、コンデンサ22の一端を、クロックに応じて+5Vとゼロ電位とに交互に制御することによって、ダイオード20, 21とコンデンサ22, 23からなる回路を経て、インバータ出力の極性を反転した電圧(-5V)が outputされて、チャージ・ポンプ回路8にグランド電位として供給される。位相誤差が小さくなつた状態で、LD信号がLレベルになると、クロックの供給が停止されて、チャージ・ポンプ回路8のグランド電位はゼロ電位に戻る。

【0047】この場合も、実施例(5)の場合と同様に、PLLの周波数切り換えの高速化を実現することができるとともに、位相誤差が小さくなつた状態では、通常のPLL動作を行なうことができる。

【0048】実施例(5)または(6)の構成では、CMOSインバータを使用してDC-D Cコンバータを形成することによって、外部から高電圧を供給する必要がなく、通常の電圧のみで高電圧または負電圧を発生することができるので、回路規模を小さくすることができ、小型化に有効である。

【0049】

【発明の効果】以上説明したように本発明によれば、位相同期式周波数シンセサイザにおいて、周波数切り換え時に、一時的に、チャージ・ポンプ回路の電源電圧を昇圧し、またはグランド電位を負電圧とすることによって、短時間、位相比較器感度K_{PD}を大きくするようにしたので、周波数切り換え時間を短縮することができるとともに、PLLロック時の位相誤差が大きくなつて、S/N, C/Nの劣化を招く恐れがない。

【0050】この際、高電圧または負電圧を発生するため、CMOSインバータを用いてDC-D Cコンバータを構成した場合には、通常の電源電圧のみを使用して、高電圧または負電圧を発生することができるので、回路を小型化することができる。

【0051】本発明の構成の実現に際しては、D/Aコンバータ等を使用しないので、回路構成が大規模化することなく、消費電力が増加することができないので、位相同期式周波数シンセサイザを用いた機器の低消費電力化に有効である。

【図面の簡単な説明】

【図1】本発明の実施例(1)を示す図であって、(a)は回路構成例を示し、(b)は各部電圧を示すタイムチャートである。

【図2】本発明の実施例(2)を示す図であって、(a)は回路構成例を示し、(b)は各部電圧を示すタイムチャートである。

【図3】本発明の実施例(3)を示す図である。

【図4】本発明の実施例(4)を示す図であって、(a)は回路構成例を示し、(b)は各部電圧を示すタイムチャートである。

【図5】チャージ・ポンプ回路の構成例を示す図である。

【図6】本発明の実施例(5)を示す図である。

【図7】本発明の実施例(6)を示す図である。

【図8】従来の周波数シンセサイザの構成例を示す図である。

【図9】PLLのステップ応答特性を例示する図である。

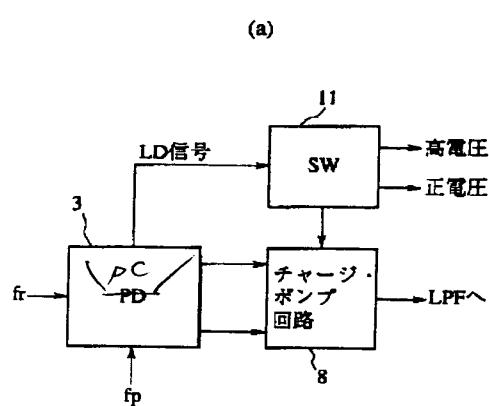
【図10】PLLの特性解析のための基本ブロックを示す図である。

【符号の説明】

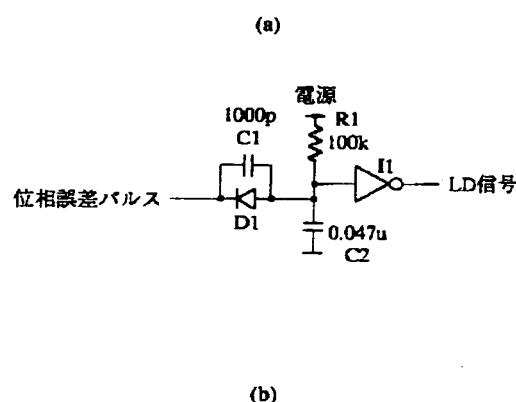
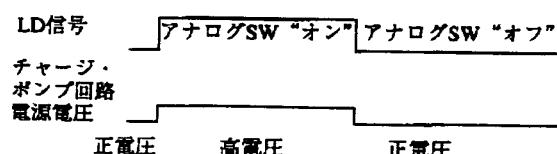
- 1 基準発振器
- 3 位相比較器
- 4 電圧制御発振器
- 8 チャージ・ポンプ回路
- 11 スイッチ
- 12 スイッチ
- 15 DC-DCコンバータ回路
- 24 DC-DCコンバータ回路

【図1】

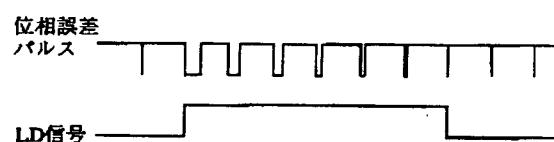
本発明の実施例(1)を示す図



(b)

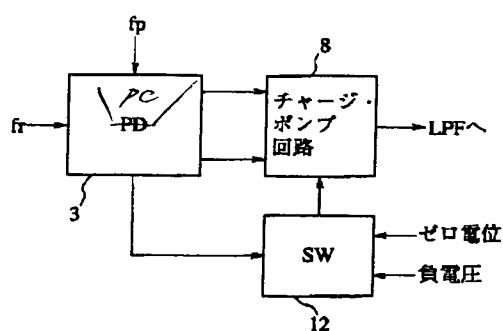


(b)

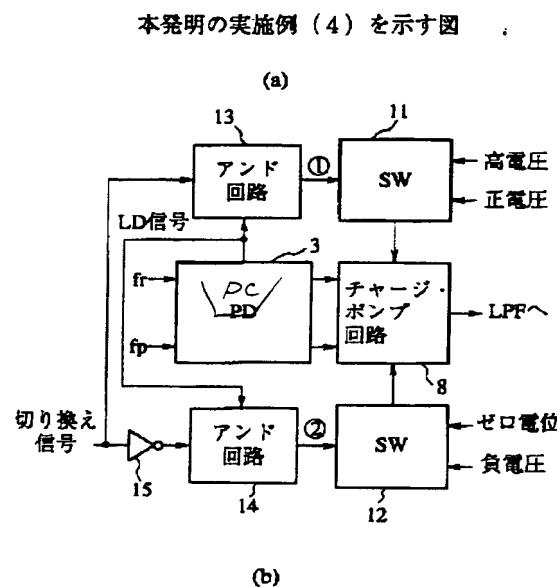


【図3】

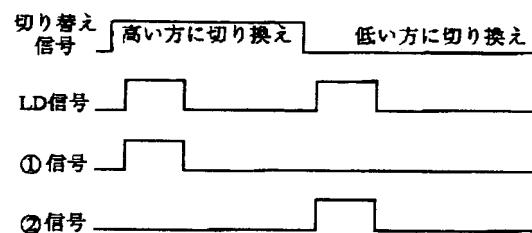
本発明の実施例(3)を示す図



【図4】

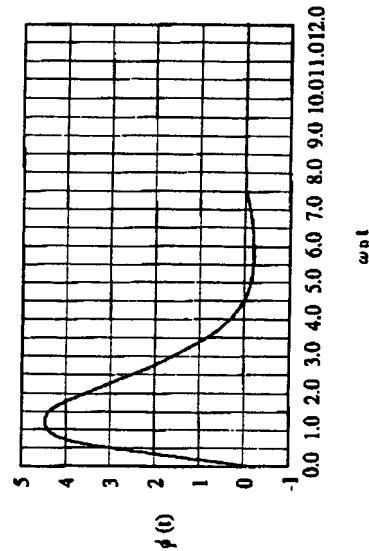


(b)



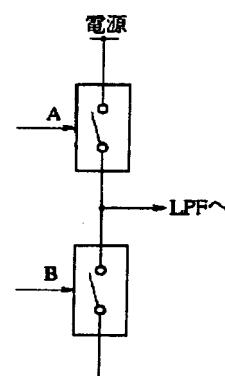
【図9】

PLLのステップ応答特性を例示する図



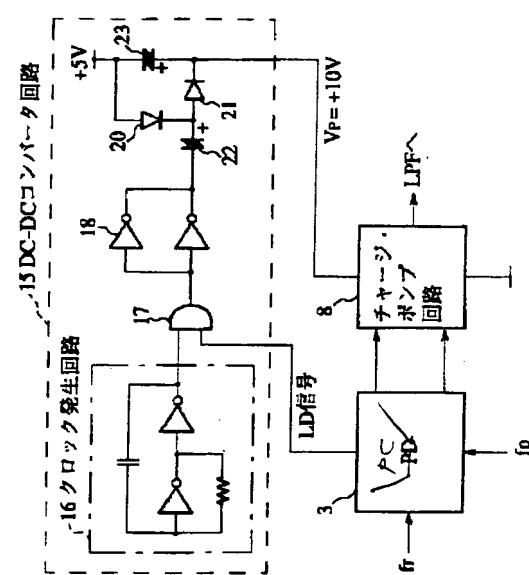
【図5】

チャージ・ポンプ回路の構成例を示す図



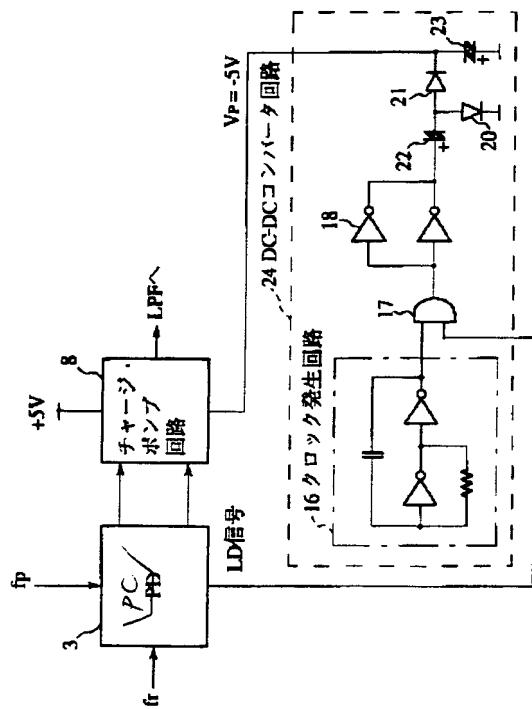
【図6】

本発明の実施例(5)を示す図



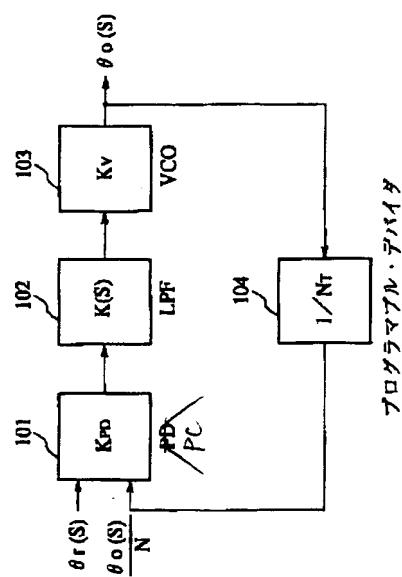
【図7】

本発明の実施例(6)を示す図



【図10】

PLLの特性解析のための基本ブロックを示す図



【図8】

従来の周波数シンセサイザの構成例を示す図

